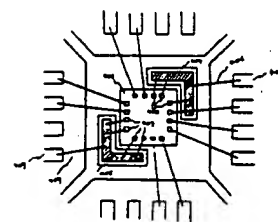
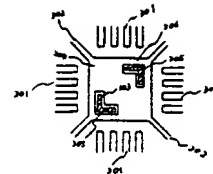


(54) LEAD FRAME FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 3-166756 (A) (43) 18.7.1991 (19) JP
(21) Appl. No. 64-307204 (22) 27.11.1989
(71) SEIKO EPSON CORP (72) SUMIO MIZOBE
(51) Int. Cl.⁵ H01L23/50

PURPOSE: To reduce the number of pins used for a high drive output terminal to accommodate them in a package smaller than normal one by providing bonding regions for an integrated circuit board potential and a potential different from an integrated circuit board potential between a semiconductor integrated circuit and an inner lead pin.

CONSTITUTION: A lead frame is separated at its die pad into three regions of land 303, 306 for a high power driver and a land 304 for a ground. In a bonding diagram of an integrated circuit 401 when the frame is used, pads 402, 403 for a high power driver are bonded to the lands 404, 405 for a high power driver. Accordingly, even if the high power driver is realized, it can be coped with one inner lead pin 408. Thus, the number of outer terminals of a package is reduced, and accommodated in a package smaller than normal one.



257/676

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-166756

⑬ Int. Cl.⁵
H 01 L 23/50

識別記号 庁内整理番号
X 9054-5F
S 9054-5F

⑭ 公開 平成3年(1991)7月18日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路用リードフレーム

⑯ 特 願 平1-307204

⑰ 出 願 平1(1989)11月27日

⑱ 発 明 者 溝 部 澄 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

半導体集積回路用リードフレーム

2. 特許請求の範囲

半導体集積回路とインナーリードピン間に少なくとも一つ以上、集積回路基板電位、及び集積回路電源電位と異なる電位用のボンディング領域を有することを特徴とする半導体集積回路用リードフレーム。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体集積回路を封入するプラスチックパッケージ用リードフレームに係わり、より詳しくはリードフレームの構造に関する。

[従来の技術]

集積回路上の全パッドからアウターリードピンに信号、及び電源層を出力する場合、アウター

ードピンはパッド数と同数、或はそれ以上のピン数が必要であった。

第1図は従来のQFPのリードフレーム図であり、ダイパッド101は単一電源層になっている。第2図は当該リードフレームを使用した時のボンディング図であり、ダイパッド201に集積回路204をダイボンズし、更に集積回路204上のパッド205からインナーリードピン202にワイヤーボンディングした様子を示している。以上より明らかであるが、従来の方法では、集積回路204上のパッド205とインナーリードピン202が必ず対になっており、インナーリードピン202の本数は集積回路204上のパッド総数と同数、或はそれ以上必要であった。

[発明が解決しようとする課題]

集積回路が高速化、大規模化され、あらゆる電子機器に組込まれ、ほとんどの論理機能が同一集積回路内に収容出来るようになった現在、従来アプリケーションに応じて、駆動能力を切り替える為、別集積回路で対応していた発光ダイオード、

特開平3-166756(2)

モーター駆動用等の高駆動ドライバー用集積回路を、同一集積回路内に収容したいというニーズがクローズアップしてきた。一方半導体製造メーカーは、集積回路上の面積の制約から此種の多岐に渡るニーズを全て受け入れる事は不可能な為、最大公約数的な駆動能力を有する出力セルを用意し、当該出力セルでは達成出来ないアプリケーションに関しては、ユーザーサイドでは従来通り、ドライバー用集積回路を外付けするか、半導体メーカー側で準備した標準出力セルを複数個使用し、実質ピン数を犠牲にして、当該出力セルの各々の出力ピンをパッケージ外部端子として取り出し、集積回路外部で接続するしか方法が無かった。一方JDEC(日本電子機械工業会)規格のQFP(Quad Flat Package)の場合ピン数が、84、100、132、164、196ピンになっている為、85ピン必要であれば100QFPを、或は101ピン必要であれば132ピンQFPを使わざるを得ないという問題点があった。本発明は、集積回路の特性を維持しつつ、高駆動出

力端子用に、使用されるピン数を極力減らし一回り小さいパッケージに収容可能ならしめることを目的としている。

〔課題を解決するための手段〕

リードフレームのダイパッド部に、エッチング技術を用いて集積回路の接地及び電源とは電気的に分離された領域を作り、集積回路上の複数個の同一電位を有する出力セルのボンディングパッドから、当該分離領域にボンディングし、且つ当該分離領域から少なくとも一本のインナーリードピンへボンディングする事により、高駆動出力端子用として出力される外部端子数を減らす。

〔実施例〕

以下図面に従って本発明の実施例を説明する。第3図は本発明によるリードフレーム図であり、ダイパッド部が高駆動ドライバー用ランド303、306と接地用ランド304の三つの領域に分離されている。第4図は本発明によるリードフレームを使用した時の集積回路401のボンディング図であり、高駆動ドライバー用パッド40

2、403は高駆動ドライバー用ランド404、405へ各々ボンディングされている。406は高駆動ドライバー用ランド404から、高駆動ドライバー用インナーリードピン408へのボンディング線、407は別の高駆動ドライバー用ランド405から別のインナーリードピン409へのボンディング線である。当該発明によれば、半導体メーカーが標準として用意した出力セルを複数個使用して、高駆動ドライバーを実現する場合においても、一本のインナーリードピンで対応可能であり、集積回路上のパッド総数にしろ高駆動ドライバー用パッド数の比率が高い程、パッケージ端子数の減少効果が高い。

〔発明の効果〕

本発明により、リードフレームのダイパッド部を集積回路接地部、及び複数個の電気的に絶縁された領域に分割し、当該絶縁領域に集積回路上の同一電位出力セルの複数のパッドからボンディングし、更に当該絶縁領域から一本のインナーリードピンへボンディングする事により、パッケージ

外部端子数を減らし、集積回路を一回りピン数の少ないパッケージに収容でき、電子機器の小型化及びパッケージのコストダウンに莫大な貢献が期待出来る。

4. 図面の簡単な説明

第1図は従来のQFPのリードフレーム図である。

第2図は従来のリードフレームを使用した時のボンディング図である。

第3図は本発明によるリードフレーム図である。

第4図は本発明によるリードフレームを使用したボンディング図である。

101・・・ダイパッド

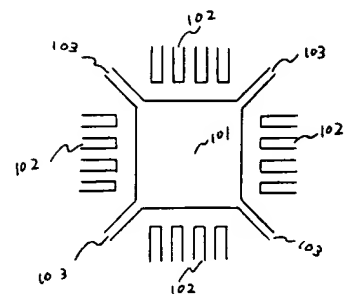
102・・・インナーリードピン

103・・・タブ吊りリード

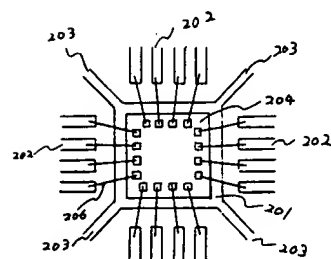
201・・・ダイパッド

202・・・インナーリードピン

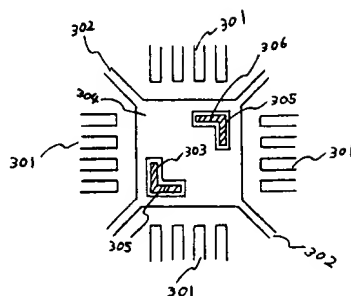
- 203・・・タブ吊りリード
- 204・・・集積回路
- 205・・・パッド
- 206・・・ボンディングワイヤー
- 301・・・インナーリードピン
- 302・・・タブ吊りリード
- 303・・・高駆動ドライバー用ランド
- 304・・・接地用ランド
- 305・・・絶縁領域
- 306・・・別の高駆動ドライバー用ランド
- 401・・・集積回路
- 402・・・高駆動ドライバー用パッド
- 403・・・別の高駆動ドライバー用パッド
- 404・・・高駆動ドライバー用ランド
- 405・・・別の高駆動ドライバー用ランド
- 406・・・ボンディング線
- 407・・・ボンディング線
- 408・・・インナーリードピン
- 409・・・別のインナーリードピン



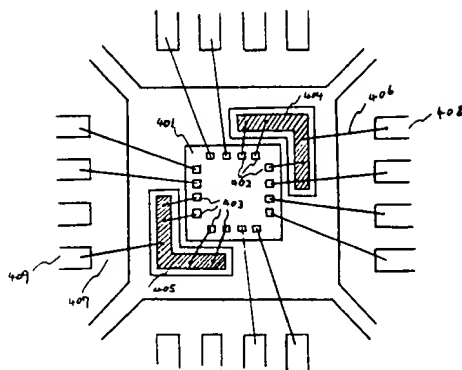
第1図



第2図



第3図



第4図